



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030027196 A
(43)Date of publication of application: 07.04.2003

(21)Application number: 1020010056851
(22)Date of filing: 14.09.2001

(71)Applicant: HYNIX SEMICONDUCTOR INC.
(72)Inventor: LIM, YANG GYU

(51)Int. Cl. G11C 11/401

(54) REFRESH GENERATING CIRCUIT OF SEMICONDUCTOR MEMORY DEVICE

(57) Abstract:

PURPOSE: A refresh generating circuit of semiconductor memory device is provided automatically to perform a refresh operation and to control the refresh operation.

CONSTITUTION: A refresh generating circuit part(10) makes a refresh operation performed internally when a memory cell is accessed. A refresh operation control part receives an external command signal to control the refresh operation. An enable part(12) is operated responsive to a power-up signal(PWRUP) and a row active signal(ROWACT) and makes a refresh operation carried out at one of test and normal modes in response to an internal control signal(STMN). An oscillation part(15) receives a signal from the enable part and generates a level having a predetermined period. A pulse generating part(18) generates a pulse having the same period as that of the oscillation part(15) in response to a signal from the oscillation part(15), and receives a signal from the refresh operation control part to control the refresh operation at an external pad.

© KIPO 2003

Legal Status

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ G11C 11/401	(11) 공개번호 (43) 공개일자	특2003-0027196 2003년04월07일
(21) 출원번호	10-2001-0056851	
(22) 출원일자	2001년09월14일	
(71) 출원인	주식회사 하이닉스반도체	
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 임양규	
(74) 대리인	서울특별시노원구하계2동학여울청구아파트101-507 강성배	

심사청구 : 있음

(54) 반도체 메모리 장치의 리프레쉬 발생회로

요약

본 발명은 반도체 메모리 장치의 리프레쉬 발생회로에 관한 것으로, 리프레쉬 동작을 내부적으로 자동 수행하며, 이를 컨트롤할 수 있는 반도체 메모리 장치의 리프레쉬 발생회로에 관한 것이다.

본 발명의 반도체 메모리 장치의 리프레쉬 발생회로는, 워드라인이 인에이블 되어 메모리 셀을 액세스하면 내부적으로 리프레쉬 동작이 수행되도록 하는 리프레쉬 발생회로부와, 외부 패드로부터 외부제어신호를 인가받아 상기 리프레쉬 동작을 컨트롤할 수 있는 리프레쉬동작제어부를 포함하는 것을 특징으로 한다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 본 발명의 반도체 메모리 장치의 리프레쉬 발생회로의 블록도.

도 2 및 도 3은 본 발명의 리프레쉬 발생회로의 회로도.

도 4는 도 2 및 도 3의 동작 타이밍도.

* 도면의 주요 부분에 대한 부호 설명 *

- 10 : 리프레쉬발생회로부 12 : 인에이블부
- 15 : 오실레이터부 16 : 링 오실레이터
- 18 : 펄스생성부 19 : 딜레이부
- 20 : 리프레쉬동작제어부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치의 리프레쉬(Refresh) 발생회로에 관한 것으로, 보다 구체적으로는 리프레쉬 명령 신호가 없으나 내부적으로 리프레쉬가 필요한 반도체 메모리 소자에 적용할 수 있는 리프레쉬 발생회로에 관한 것이다.

일반적으로 디램(DRAM)은 내부 데이터를 보존하기 위하여 주기적으로 리프레쉬를 하여야 한다. 이러한 리프레쉬 방법은 자동(auto) 리프레쉬, 셀프(self) 리프레쉬 등이 있다. 이는 외부 클럭(clock)으로 명령신호를 만들어 사용하여 외부에서 컨트롤 할 수 있다.

또한, 싱크로너스 디램(SDRAM)의 경우에는 '자동 리프레쉬'라는 명령 신호가 존재하며, 이를 외부 클럭 신호를 이용하여서 셀프 리프레쉬가 가능하게 할 수 있다.

발명이 이루고자하는 기술적 과제

그러나, 디램을 이용한 슈더 에스램(Pseudo Static Random Access Memory; PSRAM)의 경우에는 SRAM 동작을 해야하므로 외부에 별도로 리프레쉬에 관한 클럭 뿐 아니라 클럭을 이용한 리프레쉬 명령 신호를 생성하지 못한다. 또한, 외부에서 별도로 컨트롤 할 수도 없다.

따라서, 상기 문제점을 해결하기 위해 안출된 본 발명의 목적은 리프레쉬 동작을 내부적으로 자동 수행하며, 이를 컨트롤할 수 있는 반도체 메모리 장치의 리프레쉬 발생회로를 제공하는 데 있다.

본 발명의 구성 및 작용

상기 목적 달성을 위한 본 발명의 반도체 메모리 장치의 리프레쉬 발생회로는, 워드라인이 인에이블 되어 메모리 셀을 액세스하면 내부적으로 리프레쉬 동작이 수행되도록 하는 리프레쉬 발생회로부와, 외부 패드로부터 외부제어신호를 인가받아 상기 리프레쉬 동작을 컨트롤할 수 있는 리프레쉬동작제어부를 포함하는 것을 특징으로 한다.

이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

도 1은 본 발명에 따른 반도체 메모리 장치의 리프레쉬 발생회로의 블록도이고, 도 2 및 도 3은 도 1의 상세회로도이다. 도 4는 본 발명의 동작타이밍도이다.

먼저, 도 1에 도시된 바와같이, 본 발명의 리프레쉬 발생회로는 워드라인이 인에이블 되어 메모리 셀을 액세스하면 내부적으로 리프레쉬 동작이 수행되도록 하는 리프레쉬 발생회로부(10)와, 외부 패드로부터 외부명령신호를 인가받아 상기 리프레쉬 동작을 컨트롤할 수 있는 리프레쉬동작제어부(20)로 구성된다. 이러한 본 발명의 리프레쉬 발생회로는 제1 내부신호 및 제2 내부신호에 의해 동작되면서 내부제어신호에 의해 테스트 모드 및 노멀 모드 중 어느 하나의 모드 상태에서 리프레쉬 동작을 수행하도록 한다. 여기서 제1 내부신호는 파워(Power)가 턴 온되면 파워가 어느 정도의 레벨까지 상승되어 '로우'레벨에서 '하이'레벨로 천이하고, 파워가 턴 오프되면 '하이'레벨에서 '로우'레벨로 천이되는 파워-업신호(PWRUP)이고, 상기 제2 내부신호는 워드라인을 인에이블 시키는 로오엑티브신호(ROWACT)이며, 상기 내부제어신호(STMN)는 노멀 모드인 경우 '로우'레벨을 가지며, 테스트 모드인 경우에는 '하이'레벨을 갖는 신호이다.

이러한 리프레쉬 동작은 리프레쉬가 파워(Power)가 인가되어 메모리 셀에 액세스하면 이때부터 리프레쉬가 자동으로 수행되어 셀프-리프레쉬 동작을 수행한다. 그러나, 상기 리프레쉬가 외부 명령이 없이 동작되면 이를 제어할 방법이 없고, 외부 명령과 상관없이 리프레쉬가 발생하므로 어느 때에 리프레쉬가 발생하든 지 알 수가 없다. 따라서, 외부패드로부터 외부명령신호(TEST)를 인가받는 리프레쉬동작제어부(20)를 두어 리프레쉬 동작을 컨트롤할 수 있는 외부제어신호(A)를 생성한다.

도 2에 도시된 바와같이, 리프레쉬 발생회로부(10)는 파워-업신호(PWRUP) 및 로오엑티브신호(ROWACT)에 의해 동작되면서 내부제어신호(STMN)에 의해 테스트 모드 및 노멀 모드 중 어느 하나의 모드 상태에서 리프레쉬 동작을 수행하도록 하는 인에이블부(12)와, 인에이블부(12)로부터 신호를 수신하여 일정 주기를 갖는 레벨을 생성하는 오실레이터부(15)와, 오실레이터부(15)에서의 신호에 의해 상기 동일 주기를 갖는 펄스를 생성하며, 리프레쉬동작제어부(20)로부터 신호를 수신하여 외부 패드에서 리프레쉬 동작을 제어할 수 있는 펄스생성부(18)를 구비한다.

상기 인에이블부(12)는 파워-업 신호(PWRUP)에 의해 활성화 되는 풀업용 PMOS 트랜지스터(P)와, 풀업용 PMOS 트랜지스터(P)의 드레인 단과 공을 접속하며 로오엑티브신호(ROWACT)에 의해 활성화 되는 풀다운용 NMOS 트랜지스터(N)와, 상기 드레인단에서의 전위를 래치하는 래치수단(LCT)과, 상기 내부제어신호(STMN)를 반전하는 제1 인버터(IV1)와, 래치수단(LCT) 및 제1 인버터(IV1)로부터의 신호를 수신하는 낸드게이트(ND) 및, 낸드게이트(ND)로부터의 신호를 반전하는 제2 인버터(IV2)로 구성된다. 여기서, 래치수단(LCT)은 두 개의 인버터가 피드백된 형태이다.

오실레이터부(15)는 제2 인버터(IV2)로부터의 신호를 수신하는 링 오실레이터(16)와, 링 오실레이터(16)로부터의 신호를 반전하는 제3 인버터(IV3)로 구성되는데, 상기 링 오실레이터(16)는 공지된 바와같이 피드백된 형태로서 낸드게이트 및 두 개의 인버터로 구성된다.

펄스생성부(18)는 제1 인버터(IV1) 및 오실레이터부(15)로부터의 신호를 수신하는 제1 낸드게이트(ND1)와, 리프레쉬동작제어부(20)로부터의 신호를 반전하는 제4 인버터(IV4)와, 제1 낸드게이트(ND1) 및 제4 인버터(IV4)로부터의 신호를 수신하는 제2 낸드게이트(ND2)와, 제2 낸드게이트(ND2)의 신호를 반전하면서 일정시간 지연시키는 딜레이부(19)와, 제2 낸드게이트(ND2) 및 딜레이부(19)로부터의 신호를 수신하는 제3 낸드게이트(ND3) 및, 제3 낸드게이트(ND3)의 신호를 반전하는 제5 인버터(IV5)로 구성된다. 여기서, 딜레이부(19)는 홀 수개의 인버터, 도면에서는 세 개의 인버터로 구성됨이 바람직하다.

그 다음, 도 3에 도시된 바와같이, 리프레쉬동작제어부(20)는 내부제어신호(STMN)와 외부패드로부터 리프레쉬 동작을 제어하는 외부제어신호(TEST)를 수신하는 제4 낸드게이트(ND4)와, 제4 낸드게이트(ND4)의 신호를 반전하는 제6 인버터(IV6)로 구성된다.

상기 구성을 갖는 리프레쉬 발생회로를 도 4에 도시된 동작 타이밍도를 참조하여 설명하면 다음과 같다.

먼저, 노멀(Normal) 동작을 예를 들면, 인에이블부(12)는 파워-업신호(PWRUP)가 '하이'레벨이 되면 제1 노드(nd1)는 '하이'레벨을 유지한다. 이러한 '하이'레벨은 제1 노드(nd1)가 플로팅(floating)되더라도 래치수단(LCT)에 의해 '하이'레벨을 유지하게 되며, 제2 노드(nd2)는 '로우'레벨을 유지한다. 내부제어신호(STMN)는 노멀 동작시 '로우'레벨을 유지하며 제1 인버터(IV1)으로부터의 신호가 '하이'레벨이 되게함으로써 상기 오실레이터부(15)에 입력되는 OSCEN 신호가 제2 노드(nd2) 레벨의 '로우'레벨을 그대로 수신하게 한다. 이와같이 각 노드는 상기와 같은 초기치 값을 가지게 된다.

그리고 로오엑티브신호(ROWACT)는 외부 명령신호가 리드(READ) 또는 라이트(WRITE) 동작 신호일 때 펄스신호를 발생하는 신호로써, 이 신호가 인에이블되면 워드라인이 인에이블 된다. 이 신호가 한번 펄스로 입력되면 제1 노드(nd1)의 전위가 '로우'레벨이 되며, OSCEN 신호는 '하이'레벨로 천이하게 된다. 상기 레벨도 래치수단(LCT)에 의해 파워-업신호(PWRUP)가 '로우'레벨로 되기 전까지는 계속 '하이'레벨로 유지

하게 된다. 이는 최초 한번의 동작으로 파워(Power)가 오프(OFF)될 때까지 OSCEN 신호가 '하이'레벨을 유지하게 된다.

그 다음, 오실레이터부(15)는 상기 OSCEN 신호가 '로우'레벨이면 링 오실레이터(16)의 출력 OSC 신호는 '로우'레벨이 되고, '하이'레벨이 되면 상기 OSC 신호는 주기 Ts로 토글(Toggle)하게 된다. 이때, 주기 Ts는 링 오실레이터(16)의 인버터 개 수에 의해 결정된다.

그 다음, 펄스생성부(18)는 오실레이터부(15)의 OSC 신호가 '로우'레벨일 경우 제4 노드(nd4)가 '로우'레벨이 되어 펄스생성부(18)의 출력 SREF_REQ 신호는 '로우'레벨이 된다. 상기 OSC 신호가 '하이'레벨로 천이하게 되면, 제1 인버터(IV1)의 신호가 '하이'레벨이므로 제3 노드(nd3)는 '하이'레벨에서 '로우'레벨로 천이하게 된다. 한편, A 신호는 테스트 모드시 외부패드로부터 입력되는 신호이고, 노멀 모드인 경우에는 '로우'레벨을 유지한다. 이에의해, 제4 노드(nd4)는 '하이'레벨로 천이하게 된다. 제5 노드(nd5)는 딜레이부(19)를 거쳐 '하이'레벨에서 '로우'레벨로 천이한다. 따라서, SREF_REQ 신호는 d1의 폭을 갖는 펄스로 생성된다. 즉, OSC 신호가 '로우'레벨에서 '하이'레벨로 천이할 때 펄스로 SREF_REQ 신호가 생성된다. 이러한 SREF_REQ 신호에 의해서 워드라인이 인에이블되어 리프레쉬 동작을 Ts의 주기로 수행한다.

그 다음, 상기 설명한 바와같이 외부에서 상기 리프레쉬 동작 제어를 위한 리프레쉬동작제어부(20)를 이용하여 요구되는 타이밍에 리프레쉬를 인가할 수 있도록 한다. 즉, 리프레쉬를 제어하는 모드로 들어가면, 상기 내부제어신호(STMN)는 '로우'레벨에서 '하이'레벨로 천이하고, 이 신호가 '로우'레벨일 때는 외부 패드로부터 외부제어신호(TEST)를 내부로 입력되지 않도록 리프레쉬동작제어부(20)의 출력 A 신호는 '로우'레벨이 된다. 이는 노멀 모드의 동작으로 주기 Ts로 리프레쉬 동작을 수행하게 된다.

상기 내부제어신호(STMN)가 '하이'레벨일 때는 외부제어신호(TEST)를 입력으로 받아들여 리프레쉬동작제어부(20)의 출력 A 신호가 외부제어신호(TEST)와 동일한 전압레벨을 갖도록 하여 펄스생성부(18)의 입력이 되도록 한다.

테스트 모드로 진입을 하면, 내부제어신호(STMN)는 '로우'레벨에서 '하이'레벨로 천이하게 되고, 인에이블부(12)의 제1 인버터(IV1)에 의한 출력신호가 '로우'레벨이 되어 제2 노드(nd2)와 상관없이 OSCEN 신호를 '로우'레벨로 생성한다. 오실레이터부(15)에서 OSCEN 신호를 받아서 링 오실레이터(16)를 디스에이블시켜 OSC 신호를 '로우'레벨로 생성한다. 이러한 동작은 내부의 리프레쉬 동작을 디스에이블시키는 역할을 한다. 그리고, 펄스발생부(18)에서는 제1 인버터(IV1)의 신호가 '로우'레벨이므로 OSC 신호에 상관없이 제3 노드(nd3)가 무조건 '하이'레벨이 되어 상기 A 신호를 SREF_REQ 펄스를 만드는 신호로 사용하게 된다. A 신호가 '로우'레벨에서 '하이'레벨로 천이할 때만 d1의 폭을 갖는 SREF_REQ 신호 펄스를 생성한다. 즉, 이는 외부제어신호(TEST)가 '로우'에서 '하이'레벨로 천이할 때만 d1의 폭을 갖는 SREF_REQ 신호 펄스를 생성하게 한다.

따라서, 테스트 모드로 진입한 후, 외부제어신호를 '로우'레벨에서 '하이'레벨로 천이하여 SREF_REQ 신호를 생성함으로써 리프레쉬 동작을 제어할 수 있다.

한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

상술한 본 발명의 반도체 메모리 장치의 리프레쉬 발생회로에 의하면, 외부에서 리프레쉬를 컨트롤할 수 있는 핀(PIN)이 없으나, 디램 셀을 이용하여 내부 리프레쉬가 필요한 경우에, 테스트 모드로 진입한 후, 외부제어신호(TEST)를 '로우'레벨에서 '하이'레벨로 천이하여 상기 SREF_REQ 신호를 생성함으로써 리프레쉬 동작을 제어할 수 있는 효과가 있다.

(5) 청구의 범위

청구항 1. 워드라인이 인에이블 되어 메모리 셀을 액세스하면 내부적으로 리프레쉬 동작이 수행되도록 하는 리프레쉬 발생회로부와,

외부 패드로부터 외부제어신호를 인가받아 특정 모드시 상기 리프레쉬 동작을 컨트롤할 수 있는 리프레쉬 동작제어부를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 리프레쉬 발생회로.

청구항 2. 제 1항에 있어서,

상기 리프레쉬 발생회로부는

제1 내부신호 및 제2 내부신호에 의해 동작되면서 내부제어신호에 의해 테스트 모드 및 노멀 모드 중 어느 하나의 모드 상태에서 리프레쉬 동작을 수행하도록 하는 인에이블부와,

상기 인에이블부로부터 신호를 수신하여 일정 주기를 갖는 레벨을 생성하는 오실레이터부와,

상기 오실레이터부에서의 신호에 의해 상기 동일 주기를 갖는 리프레쉬 펄스를 생성하며, 상기 리프레쉬 동작제어부로부터 외부제어신호를 수신하여 상기 특정모드시 외부 패드에서 리프레쉬 동작을 제어할 수 있는 펄스생성부를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 리프레쉬 발생회로.

청구항 3. 제 2항에 있어서,

상기 제1 내부신호는 파워(Power)가 턴 온되면 파워가 어느 정도의 레벨까지 상승되어 '로우'레벨에서 '하이'레벨로 천이하고, 파워가 턴 오프되면 '하이'레벨에서 '로우'레벨로 천이되는 파워-업신호이고,

상기 제2 내부신호는 워드라인을 인에이블 시키는 로우(Row)액티브신호이며,

상기 내부제어신호는 상기 노멀 모드인 경우 '로우'레벨을 가지며, 상기 테스트 모드인 경우에는 '하이'

레벨을 갖는 것을 특징으로 하는 반도체 메모리 장치의 리프레쉬 발생회로.

청구항 4. 제 3항에 있어서,

상기 인에이블부는 상기 파워-업 신호에 의해 활성화 되는 PMOS 트랜지스터와,

상기 풀업용 PMOS 트랜지스터의 드레인 단과 공통 접속하며 상기 로우액티브신호에 의해 활성화 되는 풀다운용 NMOS 트랜지스터와,

상기 드레인단에서의 전위를 래치하는 래치수단과,

상기 내부제어신호를 반전하는 제1 인버터와,

상기 래치수단 및 제1 인버터로부터의 신호를 수신하는 낸드게이트 및,

상기 낸드게이트로부터의 신호를 반전하는 제2 인버터를 포함하여 구성하는 것을 특징으로 하는 반도체 메모리 장치의 리프레쉬 발생회로.

청구항 5. 제 4항에 있어서,

상기 오실레이터부는 상기 제2 인버터로부터의 신호를 수신하는 링 오실레이터와,

상기 링 오실레이터로부터의 신호를 반전하는 제3 인버터로 구성되는 것을 특징으로 하는 리프레쉬 발생회로.

청구항 6. 제 5항에 있어서,

상기 펄스생성부는 상기 제1 인버터 및 상기 오실레이터부로부터의 신호를 수신하는 제1 낸드게이트와,

상기 리프레쉬동작제어부로부터의 외부제어신호를 반전하는 제4 인버터와,

상기 제1 낸드게이트 및 제4 인버터로부터의 신호를 수신하는 제2 낸드게이트와,

상기 제2 낸드게이트의 신호를 반전하면서 일정시간 지연시키는 딜레이부와,

상기 제2 낸드게이트 및 상기 딜레이부로부터의 신호를 수신하는 제3 낸드게이트 및,

상기 제3 낸드게이트의 신호를 반전하는 제5 인버터를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 리프레쉬 발생회로.

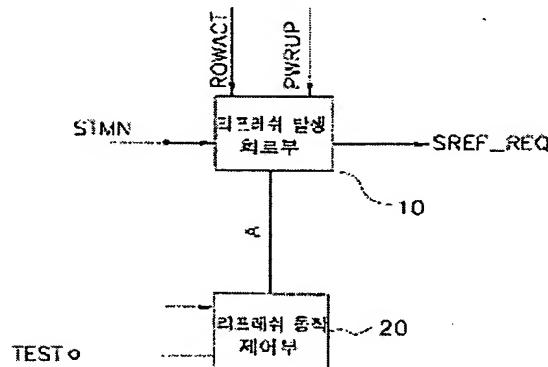
청구항 7. 제 6항에 있어서,

상기 리프레쉬동작제어부는 상기 내부제어신호와 상기 외부제어신호를 수신하는 제4 낸드게이트와,

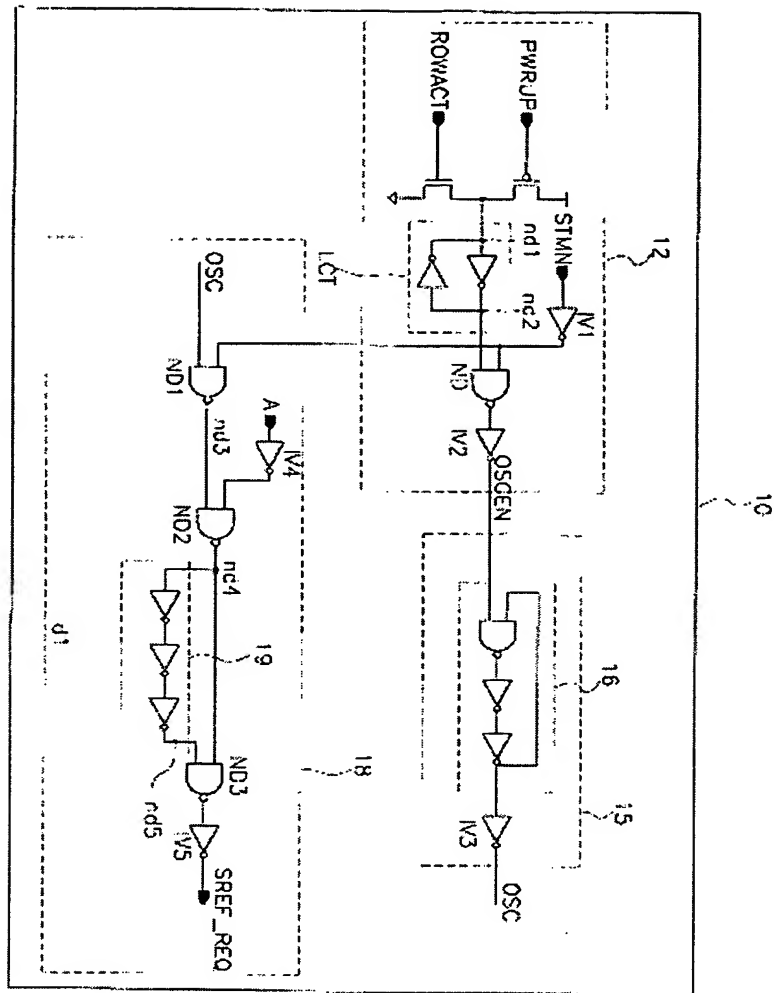
상기 제4 낸드게이트의 신호를 반전하는 제6 인버터로 구성되는 것을 특징으로 하는 반도체 메모리 장치의 리프레쉬 발생회로.

도면

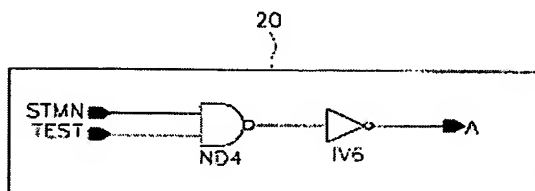
도면1



도 2



도 3



도면

